

PAT-NO: JP404148537A

DOCUMENT-IDENTIFIER: JP 04148537 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 21, 1992

INVENTOR-INFORMATION:

NAME

YAMAMOTO, MASARU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP02273861

APPL-DATE: October 12, 1990

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 716/FOR.491

ABSTRACT:

PURPOSE: To anticipate the arrangement of pads when a function to be mounted on an LSI is decided roughly and to decide it irrespective of a chip size by a method wherein the pads for bonding use which have been arranged and installed on a semiconductor chip are arranged on grid points which have been standardized at the same pitch on the axis of ordinates and on the axis of abscissas.

CONSTITUTION: Grid points which have been standardized at the same pitch P are formed virtually on respective semiconductor chips 1, 2 whose chip size is different; pads 3 are arranged and installed on the grid points along the outer circumference of the semiconductor chips 1, 2 near peripheral edge parts of the semiconductor chips. Functional blocks 5 such as CPU's (central processing

units) or the like are installed at the inside region of a semiconductor chip 4; pads 6 are installed on grid points around the functional blocks 5. Since coordinates of the individual pads are situated on the normalized grid points, it is possible to easily manufacture and confirm data for the coordinates of the pads.

COPYRIGHT: (C)1992,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-148537

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月21日

H 01 L 21/60

3 0 1 N

6918-4M

審査請求 未請求 請求項の数 2 (全2頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-273861

⑰ 出 願 平2(1990)10月12日

⑱ 発 明 者 山 本 勝 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体装置

特 許 請 求 の 範 囲

1. 半導体チップ上に配列して設けたボンディング用パッドを有する半導体装置において、前記パッドが縦軸上及び横軸上に同一ピッチで規格化した格子点上に配置されていることを特徴とする半導体装置。

2. パッドが半導体チップの周縁部の内側近傍及び内部領域に設けた機能ブロックの周囲の格子点上に配置されている請求項1記載の半導体装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にボンディング用パッドの配置に関する。

〔従来の技術〕

従来の半導体装置は、半導体チップの周縁部の内側近傍に設けたパッドの配置が、半導体チップの一辺の中に設けたパッドについては等間隔で配置されることもあったが、隣接する辺に設けたパッドの位置の相互関係については、全く考慮されなかった。

〔発明が解決しようとする課題〕

上述した従来の半導体装置は、パッドの配置がとなり合せの辺の座標の相対位置を考慮しない為、LSI全体のマスク設計が完了するまでパッドの座標が決定されず、これによりプローブカードの設計作製開始が遅れて、プローブカード設計作製の期間が長くなる場合、LSIの評価試験が遅れてLSI全体の開発期間がプローブカード作製期間の影響を受けて長くなるという欠点がある。

また、チップサイズが少しでも異なる場合は共用化できないという欠点がある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体チップ上に配列した設けたボンディング用パッドを有する半導体装置において、前記パッドが縦軸上及び横軸上に同一ピッチで規格化した格子点上に配置されて構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)、(b)は本発明の第1の実施例を示す第1及び第2の半導体チップのレイアウト図である。

第1図(a)、(b)に示すように、異なるチップサイズの半導体チップ1、2の夫々に同一のピッチPで規格化された格子点を仮想的に設け、半導体チップ1、2の周縁部の近傍に半導体チップの外周に沿って格子点上にパッド3を配列して設ける。

第2図は本発明の第2の実施例を示す半導体チップのレイアウト図である。

第2図に示すように半導体チップ4の周縁部近

傍の格子点にパッド3を設け、半導体チップ4の内側領域にCPU (central processing unit)やメモリ等の機能ブロック5と、機能ブロック5の周囲の格子点上にパッド6を設けている。

〔発明の効果〕

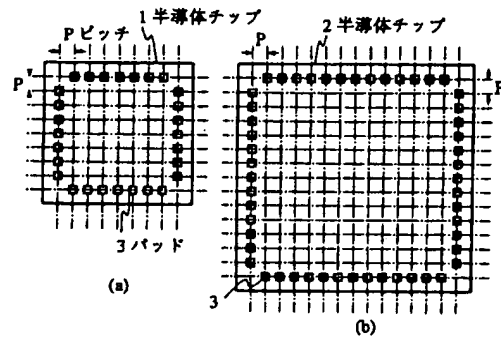
以上説明したように本発明は、パッド配置を同一ピッチで規格化した格子点に設けることにより以下の効果を有する。

(A) パッド配置がLSIに搭載する機能の概要が決まった時点で予想できる為、早期にプローブカードを設計、作製可能である。

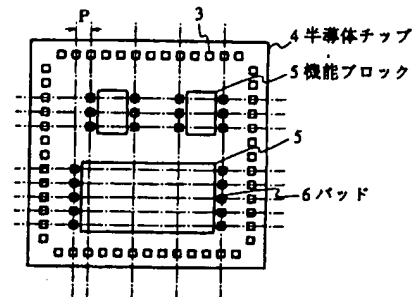
(B) パッド配置が、チップサイズによらず決定される為、あらかじめ有限個のプローブカードを準備することにより、あらゆるチップサイズのLSIに対し、配線の変更のみで対応可能である。

(C) 各パッドの座標が規格化された格子点上にある為、パッド座標のデータの作製・確認が容易である。

図面の簡単な説明



第1図



第2図

第1図(a)、(b)は本発明の第1の実施例を示す第1及び第2の半導体チップのレイアウト図、第2図は本発明の第2の実施例を示す半導体チップのレイアウト図である。

1、2…半導体チップ、3…パッド、4…半導体チップ、5…機能ブロック、6…パッド、P…ピッチ。

代理人 弁理士 内 原 晋